

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-321151

(43) 公開日 平成9年(1997)12月12日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8238		H 0 1 L 27/08	3 2 1 D
	27/092		29/78	3 0 1 P
	29/78			
	21/336			

審査請求 有 請求項の数14 O L (全 12 頁)

(21) 出願番号 特願平8-140399

(22) 出願日 平成8年(1996)6月3日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 益岡 完明

東京都港区芝五丁目7番1号 日本電気株式会社内

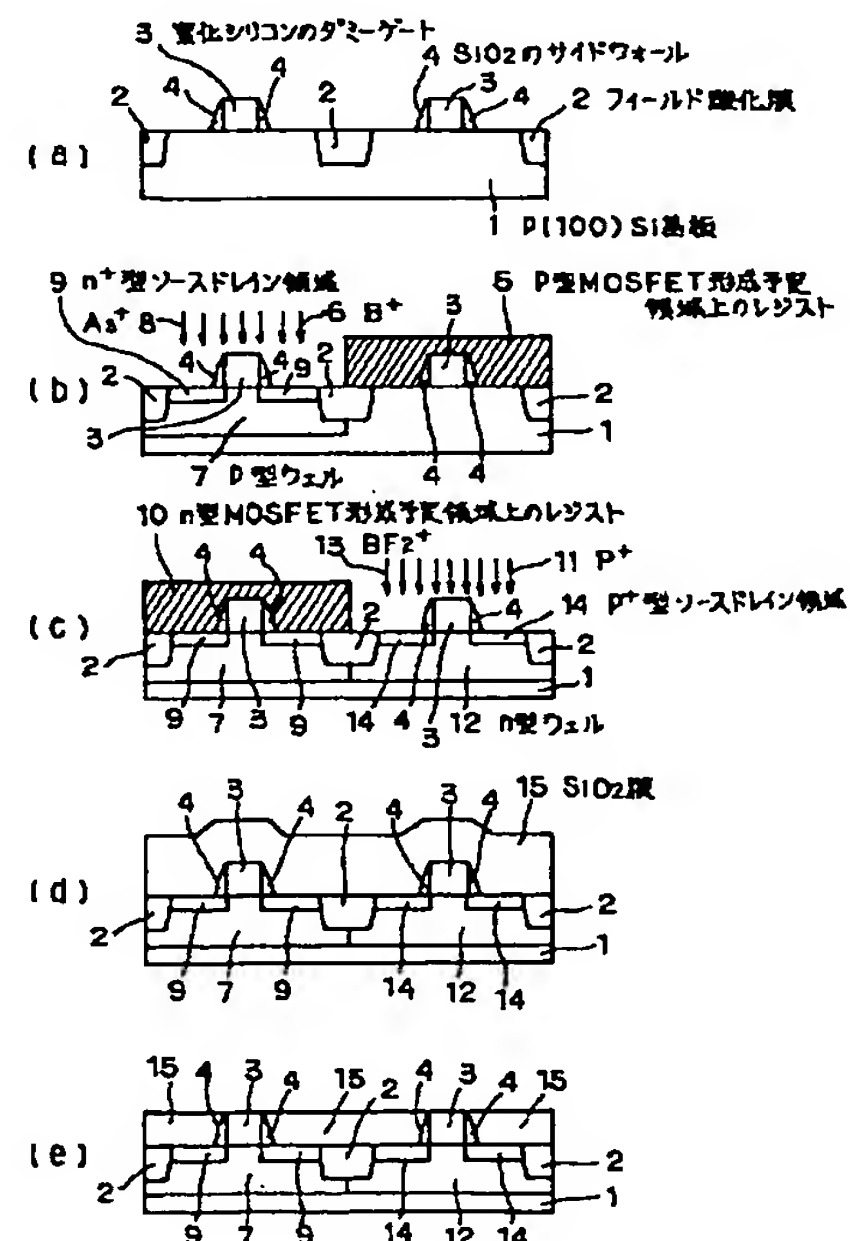
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 逆短チャネル効果を抑制し、ゲート酸化膜の信頼性の低下を防ぎ、半導体基板のアルミニウム汚染を防ぎ、かつ、工程数の増大を伴わない半導体装置の製造方法を提供する。

【解決手段】 ダミーゲート3、ソースドレイン領域9、14を形成し、活性化を行った後、絶縁膜15を堆積し、化学的機械的研磨によりダミーゲート3を露出させる。その後ダミーゲート3を除去し、しきい電圧調整のイオン注入18、20、21を行った後、ゲート酸化膜22を形成する。ソースドレイン領域9、14を活性化後にしきい電圧調整のイオン注入を行い、その後ゲート酸化膜22を形成するため、ゲート酸化膜22の信頼性を劣化させずに逆短チャネル効果が抑制できる。



1

## 【特許請求の範囲】

【請求項 1】 第一導電型の半導体基板上に絶縁物からなる素子分離領域を形成する工程と、  
前記半導体基板上のゲート電極形成予定領域にダミーゲートを形成する工程と、  
第一導電型素子形成予定領域をレジストでマスクする工程と、  
第一導電型不純物をイオン注入して第一導電型のウェル領域を形成する工程と、  
第二導電型不純物をイオン注入して第二導電型のソースドレイン領域を形成する工程と、  
前記第一導電型素子形成予定領域上のレジストを除去する工程と、  
第二導電型素子形成予定領域をレジストでマスクする工程と、  
第二導電型不純物をイオン注入して第二導電型のウェル領域を形成する工程と、  
第一導電型不純物をイオン注入して第一導電型のソースドレイン領域を形成する工程と、  
前記第二導電型素子形成予定領域上のレジストを除去する工程と、  
ソースドレイン領域を活性化する工程と、  
前記半導体基板に第一の膜を形成する工程と、  
前記第一の膜を化学的機械的研磨を用いることにより平坦化し前記ダミーゲート表面を露出させる工程と、  
前記ダミーゲートを除去する工程と、  
前記第一導電型素子形成予定領域をレジストでマスクする工程と、  
第一導電型不純物をイオン注入する工程と、  
前記第一導電型素子形成予定領域上のレジストを除去する工程と、  
前記第二導電型素子形成予定領域をレジストでマスクする工程と、  
第二導電型不純物をイオン注入する工程と、  
前記第二導電型素子形成予定領域上のレジストを除去する工程と、  
前記ダミーゲートを除去した部分の前記半導体基板上にゲート酸化膜を形成する工程と、  
前記半導体基板にゲート電極材料を形成する工程と、  
前記ゲート電極材料を化学的機械的研磨を用いることにより前記第一の膜を露出させることにより平坦化しゲート電極を形成する工程を具備することを特徴とする半導体装置の製造方法。

【請求項 2】 前記第一の膜は前記ダミーゲートとは異なる材料であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記第一の膜は前記ダミーゲートとエッチングの選択比が高い材料であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 4】 前記第一の膜は絶縁物であることを特徴

2

とする請求項 1 記載の半導体装置の製造方法。

【請求項 5】 前記第一の膜は前記素子分離領域の絶縁物とは異なる材料であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 6】 前記ダミーゲートは前記半導体基板とエッチングの選択比が高いことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 7】 前記ダミーゲート側面にサイドウォールを形成することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 8】 前記第一の膜を除去することを特徴とする請求項 7 記載の半導体装置の製造方法。

【請求項 9】 前記第一の膜は前記素子分離領域の絶縁物とエッチングの選択比が高いことを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 10】 前記サイドウォールは絶縁物であることを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 11】 前記サイドウォールは前記ダミーゲートと異なる材料であることを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 12】 前記サイドウォールは前記ダミーゲートとエッチングの選択比が高いことを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 13】 前記サイドウォールは前記第一の膜と異なる材料であることを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 14】 前記サイドウォールは前記第一の膜とエッチングの選択比が高いことを特徴とする請求項 8 記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置の製造方法、特に nMOS の逆短チャネル効果を抑制する半導体装置の製造方法に関する。

【0002】

【従来の技術】 従来用いられていたこの種の CMOS 半導体装置の製造方法は、一般に図 5 から図 8 に示す構成のものが採用されていた。

【0003】 まず、図 5 (a) 乃至図 5 (e) に CMOS FET を例に半導体装置の製造方法の従来例を示す。図中、符号 60 は p 型半導体基板、61 は素子分離領域、62 は n 型 MOS FET 形成予定領域上のレジスト、63 は n 型不純物、64 は n 型ウェル、65 は p 型 MOS FET 形成予定領域上のレジスト、66 は p 型不純物、67 は p 型ウェル、68 はゲート酸化膜、69 は多結晶シリコン、70 はゲート電極、71 は n 型ウェル上のレジスト、72 は n 型不純物、73 は n 型ソースドレイン領域、74 は p 型ウェル上のレジスト、75 は p 型不純物、76 は p 型ソースドレイン領域である。

【0004】 図 5 (a) に示すように、p 型半導体基板

3

60上に素子分離領域61を設けた後、n型MOSFET形成予定領域上をレジスト62でマスクした後、n型不純物63をイオン注入して、n型ウェル64を形成する。また同時に、p型MOSFETのしきい電圧調整のためのn型不純物のイオン注入を行う。

【0005】その後、図5(b)に示すように、p型MOSFET形成予定領域上をレジスト65でマスクした後、p型不純物66をイオン注入してp型ウェル67を形成する。また同時に、n型MOSFETのしきい電圧調整のためのp型不純物のイオン注入を行う。

【0006】その後、図5(c)に示すように、ゲート酸化膜68を形成し、多結晶シリコン69を堆積した後に、フォトリソグラフィ工程およびエッチング工程によりゲート電極70を形成する。

【0007】その後、図5(d)に示すように、n型ウェル64上をレジスト71でマスクして、p型ウェル67にn型不純物72をイオン注入してn型ソースドレイン領域73を形成する。

【0008】その後、図5(e)に示すように、p型ウェル67上をレジスト71でマスクして、n型ウェル64にp型不純物75をイオン注入してp型ソースドレイン領域76を形成する。

【0009】その後、レジストを剥離した後、窒素雰囲気中で熱処理を行い、ソースドレイン領域の活性化を行う。

【0010】しかしながら、図5(a)乃至図5(e)に示した方法では、ソースドレイン活性化のための熱処理時に、特にn型MOSFETにおいて、ソースドレイン中の格子間シリコン等の点欠陥がチャンネル中のボロンといわゆるB-Iペアを組みチャンネル方向に増速拡散し、その結果として、チャンネル長が短くなるにつれチャンネル直下のボロン濃度が高くなりしきい電圧が高くなるといういわゆる逆短チャンネル効果という現象を引き起こすという欠点が生じる。MOS半導体装置では、素子の微細化が進むにつれて、しきい電圧が低下するという短チャンネル効果が構造上生じてしまうため、この短チャンネル効果に逆短チャンネル効果という現象が重なると、しきい電圧の制御が極めて困難になるため、逆短チャンネル効果は是非とも抑制する必要がある。

【0011】この逆短チャンネル効果を抑制する方法の一つとして、ソースドレイン形成のためのイオン注入工程と、しきい電圧調整のためのイオン注入工程に関して、ソースドレイン形成のためのイオン注入を先に行い、ソースドレインの活性化熱処理を行い、ソースドレイン領域に含まれる格子間シリコン等の点欠陥を十分回復させた後に、しきい電圧調整のためのイオン注入を行う製造方法が有望視される。図6(a)乃至図6(b)にソースドレイン領域を形成し活性化の熱処理を行った後に、しきい電圧調整のためのイオン注入を行っている従来例を製造工程順に示す模式的断面図を示す。図中、符号8

4

0はp型半導体基板、81はゲート酸化膜、82はゲートポリシリコン電極、83はAs<sup>+</sup>、84はソースドレイン領域、85はB<sup>+</sup>である。

【0012】図6(a)に示すように、p型半導体基板80に、ゲート酸化膜81とゲートポリシリコン電極82を形成する。その後、As<sup>+</sup> 83等のn型不純物をイオン注入し、ソースドレイン領域84を形成し、1000℃で10秒程度の熱処理を行う。

【0013】その後図6(b)に示すように、B<sup>+</sup> 85等のp型不純物をゲートポリシリコン電極82およびゲート酸化膜81を通してイオン注入し、しきい電圧を調整する。

【0014】図6に示した従来例によれば、ソースドレイン領域を形成し活性化のための熱処理を行った後に、しきい電圧調整のためのイオン注入を行っているため、逆短チャンネル効果を抑制することが可能である。

【0015】しかし、図6に示した方法では、ゲート酸化膜を通してしきい電圧調整のためのイオン注入を行っているため、ゲート酸化膜の信頼性が著しく劣化するという問題点が生じる。

【0016】従って、ソースドレイン領域形成を形成し活性化の熱処理を行った後、しきい電圧調整のためのイオン注入を行い、且つ、しきい電圧調整のためのイオン注入を行った後、ゲート酸化膜を形成する半導体装置の製造方法が必要となる。

【0017】図7(a)乃至図7(f)に、ソースドレイン領域を形成し活性化の熱処理を行った後、更に、しきい電圧調整のためのイオン注入を行った後、ゲート酸化膜を形成する従来例を製造工程順に示す模式的断面図を示す。この従来例は特開平4-123439号公報に開示されている。図中、符号90はp型シリコン基板、91はSiO<sub>2</sub>膜、92はダミーゲート、93はAs<sup>+</sup>、94はn<sup>+</sup>型ソースドレイン電極、95はSiO<sub>2</sub>膜、96はB<sup>+</sup>、97はゲート酸化膜、98はポリシリコンである。

【0018】図7(a)に示すように、p型シリコン基板90表面に熱酸化法によりSiO<sub>2</sub>膜91を形成する。次にフォトリソグラフィ工程により厚さ約0.1μmのゲート電極のレジストパターンを形成する。このレジストパターンがダミーゲート92となる。尚、この際レジストとしては疎水性のものをを用いる。

【0019】次に、図7(b)に示すように、ダミーゲート92をマスクにAs<sup>+</sup> 93等のn型不純物をイオン注入し、n<sup>+</sup>型のソースドレイン領域94を形成する。

【0020】次に、図7(c)に示すように、シリカを飽和させたケイフッ化水素酸水溶液にウェハを浸漬し、アルミニウムを添加すると、p型シリコン基板90上にSiO<sub>2</sub>膜95が形成される。この際、レジストから成るダミーゲート92は疎水性であるため、ダミーゲート92上にはSiO<sub>2</sub>膜95は形成されない。またこのS



5

SiO<sub>2</sub> 膜 95 はダミーゲート 92 より薄く例えば厚さ約 0.8 μm とする。

【0021】次に、図 7 (d) に示すように、レジストから成るダミーゲート 92 を除去し、B<sup>+</sup> 96 等のチャネル不純物をイオン注入する。尚、B<sup>+</sup> 96 等のチャネル不純物をイオン注入する前に、n<sup>+</sup> 型のソースドレイン領域 94 の活性化熱処理を行うことも可能である。

【0022】次に、図 7 (e) に示すように、フッ化アンモニウム溶液を用いてダミーゲート 92 を除去することにより露出した部分の SiO<sub>2</sub> 膜 91 をエッチング除去し、ゲート酸化を行って厚さ約 5 nm のゲート酸化膜 97 を形成する。その後、除去されたダミーゲートの部分にポリシリコン 98 を CVD 法により堆積する。CVD 法により形成されたポリシリコン 98 はカバレッジが良く、除去されたダミーゲートの溝部を埋め込むことができる。

【0023】次に、このポリシリコン 98 にリンを拡散した後、図 7 (f) に示すようにリアクティブイオンエッチングを行うことにより、除去されたダミーゲートの部分のみポリシリコン 98 が埋め込まれることになる。

【0024】図 7 に示した従来例では、ソースドレイン領域を形成し、活性化のための熱処理を行った後、しきい電圧調整のためのイオン注入を行っているため、逆短チャネル効果を抑制することが可能である。且つ、しきい電圧調整のためのイオン注入を行った後、ゲート酸化膜を形成しているため、ゲート酸化膜の信頼性を劣化させることもない。

【0025】しかし、図 7 に示した方法では、ソースドレイン領域上に酸化膜を形成する際に、アルミニウムに曝されるため、このアルミニウムが半導体基板中に準位を形成し、半導体装置の特性を劣化させてしまうという問題点が生じてしまう。また、液相成長により形成した SiO<sub>2</sub> 膜は、膜質が粗悪であり、層間膜として用いた場合、半導体装置の長期信頼性を劣化させてしまうという問題点が生じてしまう。この問題点を解決するため、ソースドレイン領域上に酸化膜を形成する工程に CVD 法を用いる半導体装置の製造方法が必要となる。

【0026】ソースドレイン領域上に酸化膜を形成する工程に CVD 法を用いる従来例を製造工程順に示す模式的断面図を図 8 (a) 乃至図 8 (e) に示す。この従来例は特開平 4-123439 号公報に開示されている。図中、符号 100 は p 型シリコン電極、101 は SiO<sub>2</sub> 膜、102 はポリシリコン、103 はシリコン窒化膜、104 はレジスト、105 はダミーゲート、106 は As<sup>+</sup>、107 は n<sup>+</sup> 型ソースドレイン電極、108 は SiO<sub>2</sub> 膜、109 はレジストである。

【0027】図 8 (a) に示すように、p 型シリコン基板 100 上に厚さ約 20 nm の SiO<sub>2</sub> 膜 101 を形成する。次に厚さ 0.3 μm のポリシリコン 102 を CVD 法により堆積し、リンを拡散させ、更にポリシリコン

6

102 上にシリコン窒化膜 103 を CVD 法により堆積する。次にフォトリソグラフィ工程により、ゲート電極のレジストパターン 104 を形成し、このレジストパターンをマスクにリアクティブイオンエッチングによりシリコン窒化膜 103、ポリシリコン 102 をエッチング除去する。この際残置したシリコン窒化膜 103、ポリシリコン 102 がダミーゲート 105 となる。

【0028】次に、図 8 (b) に示すように、レジスト 104 を剥離し、As<sup>+</sup> 106 のイオン注入により n<sup>+</sup> 型のソースドレイン領域 107 を形成する。その後、n<sup>+</sup> 型のソースドレイン領域 107 活性化のための熱処理を行う。

【0029】次に、図 8 (c) に示すように、絶縁膜例えば SiO<sub>2</sub> 膜 108 をプラズマ ECR 法により、厚さ約 0.35 μm 異方性堆積させる。

【0030】次に、図 8 (d) に示すように、レジスト 109 を厚さ約 1 μm 塗布し、そのまま現像し厚さ約 0.2 μm 残す様にする。

【0031】次に、図 8 (e) に示すように、NH<sub>4</sub>OH 溶液によってダミーゲート 105 上の SiO<sub>2</sub> 膜 108 のみをエッチング除去する。次にレジスト 109 を剥離すると、SiO<sub>2</sub> 膜の残さがシリコン窒化膜上に残る。次にケミカルドライエッチング法によりシリコン窒化膜 103 を除去する。この際、シリコン窒化膜 103 上の SiO<sub>2</sub> 膜の残さも同時に取り除くことができる。

【0032】次に、ポリシリコン 102 をエッチングにより取り除く。その後は、図 7 に示した従来例と同様にしきい電圧調整のためのイオン注入、ダミーゲートがあった部分の酸化膜除去、ゲート酸化を行い、SiO<sub>2</sub> の溝部分にポリシリコンを埋め込む。

【0033】図 8 に示した従来例によれば、半導体装置のアルミニウム汚染を防ぐことが可能であり、半導体装置の特性の劣化を防ぐことができる。

【0034】しかし、図 8 に示した従来例では、ソースドレイン上に選択的に SiO<sub>2</sub> 層を形成する際、プラズマ ECR 法によりソースドレイン上およびダミーゲート上に SiO<sub>2</sub> 膜を形成した後、レジストを塗布したのちそのまま現像しソースドレイン上の SiO<sub>2</sub> 膜上だけにレジストを残すという方法を用いている。この工程はプロセス的に不安定であり、且つ、レジスト工程を含むため、プロセス上の工程数の増大につながるという問題点が生じてしまう。

【0035】

【発明が解決しようとする課題】以上のように、逆短チャネル効果を抑制するため、ソースドレイン領域を形成し、活性化のための熱処理を行った後に、しきい電圧調整用のイオン注入を行うことが必要であるが、従来の方法では、ゲート酸化膜の信頼性の低下、半導体基板のアルミニウム汚染、また工程数の増大、という問題点が生じていた。

【0036】本発明の目的は、逆短チャネル効果を抑制し、ゲート酸化膜の信頼性の低下を防ぎ、半導体基板のアルミニウム汚染を防ぎ、かつ、工程数の増大を伴わない半導体装置の製造方法を提供することにある。

【0037】

【課題を解決するための手段】本発明の半導体装置の製造方法は、第一導電型の半導体基板上に絶縁物からなる素子分離領域を形成する工程と、半導体基板上のゲート電極形成予定領域にダミーゲートを形成する工程と、第一導電型素子形成予定領域をレジストでマスクする工程と、第一導電型不純物をイオン注入して第一導電型のウェル領域を形成する工程と、第二導電型不純物をイオン注入して第二導電型のソースドレイン領域を形成する工程と、第一導電型素子形成予定領域上のレジストを除去する工程と、第二導電型素子形成予定領域をレジストでマスクする工程と、第二導電型不純物をイオン注入して第二導電型のウェル領域を形成する工程と、第一導電型不純物をイオン注入して第一導電型のソースドレイン領域を形成する工程と、第二導電型素子形成予定領域上のレジストを除去する工程と、ソースドレイン領域を活性化する工程と、半導体基板に第一の膜を形成する工程と、第一の膜を化学的機械的研磨を用いることにより平坦化しダミーゲート表面を露出させる工程と、ダミーゲートを除去する工程と、第一導電型素子形成予定領域をレジストでマスクする工程と、第一導電型不純物をイオン注入する工程と、第一導電型素子形成予定領域上のレジストを除去する工程と、第二導電型素子形成予定領域をレジストでマスクする工程と、第二導電型不純物をイオン注入する工程と、第二導電型素子形成予定領域上のレジストを除去する工程と、ダミーゲートを除去した部分の半導体基板上にゲート酸化膜を形成する工程と、半導体基板にゲート電極材料を形成する工程と、ゲート電極材料を化学的機械的研磨を用いることにより第一の膜を露出させることにより平坦化しゲート電極を形成する工程を具備する。

【0038】また、第一の膜はダミーゲートとは異なる材料であってもよい。

【0039】また、第一の膜はダミーゲートとエッチングの選択比が高い材料であってもよい。

【0040】また、第一の膜は絶縁物であってもよい。

【0041】また、第一の膜は素子分離領域の絶縁物とは異なる材料であってもよい。

【0042】また、ダミーゲートは半導体基板とエッチングの選択比が高くてもよい。

【0043】また、ダミーゲート側面にサイドウォールを形成してもよい。

【0044】また、第一の膜を除去してもよい。

【0045】また、第一の膜は素子分離領域の絶縁物とエッチングの選択比が高くてもよい。

【0046】また、サイドウォールは絶縁物であっても

よい。

【0047】また、サイドウォールはダミーゲートと異なる材料であってもよい。

【0048】また、サイドウォールはダミーゲートとエッチングの選択比が高くてもよい。

【0049】また、サイドウォールは第一の膜と異なる材料であってもよい。

【0050】また、サイドウォールは第一の膜とエッチングの選択比が高くてもよい。

10 【0051】前記課題を解決するため、本発明に係わる半導体装置の製造方法は、素子分離領域形成工程と、ダミーゲート形成工程と、ソースドレイン領域形成のためのイオン注入工程と、ソースドレイン領域活性化のための熱処理工程と、半導体基板全面にダミーゲートとは異なる絶縁膜形成工程と、化学的機械的研磨によりダミーゲートとは異なる絶縁膜層を平坦化しダミーゲート表面を露出させる工程と、ダミーゲートをエッチングにより除去する工程と、しきい電圧調整のためのイオン注入を行う工程と、ゲート酸化工程と、ゲート電極材料を全面に推積する工程と、ゲート電極材料を化学的機械的研磨により平坦化しダミーゲートとは異なる材質の絶縁膜表面を露出させゲート電極を形成する工程を具備するものである。以上のように本発明によれば、ソースドレイン領域活性化のための熱処理を行った後しきい電圧調整のためのイオン注入を行うため、逆短チャネル効果を抑制でき、かつ、ゲート酸化膜の信頼性の低下を防ぎ、半導体基板のアルミニウム汚染を防ぎ、工程数の増大を伴わない半導体装置の製造方法を提供できる。

【0052】

30 【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。図1及び図2は本発明をCMOSFETに適用した本発明の第1の実施の形態を製造工程順に示す模式的断面図である。図中、符号1はp(100)Si基板、2はフィールド酸化膜、3は窒化シリコンのダミーゲート、4はSiO<sub>2</sub>のサイドウォール、5はp型MOSFET形成予定領域上のレジスト、6はB<sup>+</sup>、7はp型ウェル、8はAs<sup>+</sup>、9はn<sup>+</sup>型ソースドレイン領域、10はn型MOSFET形成予定領域上のレジスト、11はP<sup>+</sup>、12はn型ウェル、13はBF<sub>2</sub><sup>+</sup>、14はp<sup>+</sup>型ソースドレイン領域、15はSiO<sub>2</sub>膜、16はゲート電極形成予定領域、17はp型MOSFET形成予定領域上のレジスト、18はB<sup>+</sup>、19はn型MOSFET上のレジスト、20はAs<sup>+</sup>、21はBF<sub>2</sub><sup>+</sup>、22はゲート酸化膜、23は多結晶シリコン、24はゲート電極である。

40 【0053】まず、図1(a)に示すように周知の技術によりp(100)Si基板1にフィールド酸化膜2を形成して素子分離を行う。その後、p(100)Si基板1表面に、CVD法により窒化シリコン膜を約200nm程度堆積する。その後、フォトリソグラフィ工程

9

とエッチング工程により、後のゲート電極と同一形状のシリコン窒化膜のダミーゲート3を形成する。その後、CVD法により厚さ70nm程度のSiO<sub>2</sub>膜を堆積し、異方性エッチングを行うことにより、ダミーゲート側面にSiO<sub>2</sub>のサイドウォール4を形成する。

【0054】その後、図1(b)に示すようにp型MOSFET形成予定領域をレジスト5でマスクした後、例えばB<sup>+</sup>6をイオン注入エネルギー300keVでドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ でイオン注入して、p型ウェル領域7を形成する。その後、例えばAs<sup>+</sup>8をイオン注入エネルギー30keVでドーズ量 $3 \times 10^{15} \text{ cm}^{-2}$ でイオン注入し、n<sup>+</sup>型ソースドレイン領域9を形成する。

【0055】その後、p型MOSFET形成予定領域上のレジスト5を剥離した後、図1(c)に示すようにn型MOSFET形成予定領域をレジスト10でマスクした後、例えばP<sup>+</sup>をイオン注入エネルギー700keVでドーズ量 $1.5 \times 10^{13} \text{ cm}^{-2}$ でイオン注入し、n型ウェル領域12を形成する。その後、例えばBF<sub>2</sub><sup>+</sup>をイオン注入エネルギー20keVでドーズ量 $3 \times 10^{15} \text{ cm}^{-2}$ でイオン注入し、p<sup>+</sup>型ソースドレイン領域14を形成する。その後、n型MOSFET形成予定領域上のレジスト10を剥離した後、窒素雰囲気中で1000℃で10秒程度の熱処理を行い、n<sup>+</sup>型ソースドレイン領域9およびp<sup>+</sup>型ソースドレイン領域14の活性化を行う。この活性化を行うことにより、ソースドレイン領域中に含まれる格子間シリコン等の点欠陥が消滅される。

【0056】その後、図1(d)に示すように、p(100)Si基板1全面に、CVD法等により例えばSiO<sub>2</sub>膜15を400nm程度堆積する。

【0057】その後、図1(e)に示すように、化学的機械的研磨によりダミーゲート3表面、即ち窒化シリコン膜表面が露出するまで平坦化を行う。

【0058】その後、図1(f)に示すように、ダミーゲートである窒化シリコン膜3を燐酸等でエッチングし、ゲート電極形成予定領域16のみ窪んだSiO<sub>2</sub>15の溝を形成する。その後、図2(g)に示すように、p型MOSFET形成予定領域上をレジスト17でマスクした後、例えばB<sup>+</sup>18をイオン注入エネルギー30keVでドーズ量 $6 \times 10^{12} \text{ cm}^{-2}$ でイオン注入し、n型MOSFETのしきい電圧調整を行う。

【0059】その後、p型MOSFET形成予定領域上のレジスト17を剥離した後、図2(h)に示すように、n型MOSFET上をレジスト19でマスクし、例えばAs<sup>+</sup>20をイオン注入エネルギー100keVでドーズ量 $7 \times 10^{12} \text{ cm}^{-2}$ でイオン注入し、その後例えばBF<sub>2</sub><sup>+</sup>21を注入エネルギー15keVでドーズ量 $1.5 \times 10^{13} \text{ cm}^{-2}$ でイオン注入し、p型MOSFETのしきい電圧調整を行う。

【0060】その後、n型MOSFET上のレジスト1

10

9を剥離した後、図2(i)に示すように、SiO<sub>2</sub>15の溝部を酸化して、6nm程度のゲート酸化膜22を形成する。その後、CVD法により多結晶シリコン23を400nm程度堆積して、SiO<sub>2</sub>15の溝部を埋め込んだ後、リンを拡散させ多結晶シリコン23をn<sup>+</sup>化する。

【0061】その後、図2(j)に示すように、化学的機械的研磨によりSiO<sub>2</sub>15表面が露出するまで多結晶シリコン23を平坦化し、SiO<sub>2</sub>15の溝を多結晶シリコン23で埋め込んだ構造のゲート電極24を形成する。

【0062】その後は従来技術を用いて、層間の絶縁膜、配線等を形成する。

【0063】以上の工程により、CMOS半導体装置が完成される。

【0064】図3及び図4は本発明をCMOSFETに適用した本発明の第2の実施の形態を製造工程順に示す模式的断面図である。図中、符号30はp(100)Si基板、31はフィールド酸化膜、32はシリコン窒化膜、33は多結晶シリコン、34はSiO<sub>2</sub>のサイドウォール、35はp型MOSFET形成予定領域上のレジスト、36はB<sup>+</sup>、37はp型ウェル領域、38はAs<sup>+</sup>、39はn型ソースドレイン領域、40はn型MOSFET形成予定領域上のレジスト、41はP<sup>+</sup>、42はn型ウェル領域、43はBF<sub>2</sub><sup>+</sup>、44はp<sup>+</sup>型ソースドレイン領域、45はシリコン窒化膜、46はゲート電極形成予定領域、47はp型MOSFET形成予定領域上のレジスト、48はB<sup>+</sup>、49はn型MOSFET上のレジスト、50はAs<sup>+</sup>、51はBF<sub>2</sub><sup>+</sup>、52はゲート酸化膜、53は多結晶シリコン、54はゲート電極、55はシリサイド層である。

【0065】まず、図3(a)に示すように周知の技術によりp(100)Si基板30にフィールド酸化膜31を形成して素子分離を行う。その後、p(100)Si基板30表面に、CVD法により10nm程度のシリコン窒化膜32を堆積した後、多結晶シリコン膜33を200nm程度堆積する。その後、フォトリソグラフィ工程およびエッチング工程により、シリコン窒化膜32および多結晶シリコン33から成り、後のゲート電極と同一形状のダミーゲートを形成する。その後、CVD法により厚さ70nm程度のSiO<sub>2</sub>膜を堆積し、異方性エッチングを行うことにより、ダミーゲート側面にSiO<sub>2</sub>のサイドウォール34を形成する。その後、図3(b)に示すように、p型MOSFET形成予定領域をレジスト35でマスクした後、例えばB<sup>+</sup>36をイオン注入エネルギー300keVでドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ でイオン注入して、p型ウェル領域37を形成する。その後、例えばAs<sup>+</sup>38をイオン注入エネルギー30keVでドーズ量 $3 \times 10^{15} \text{ cm}^{-2}$ でイオン注入し、n<sup>+</sup>型のソースドレイン領域39を形成する。



11

【0066】その後、p型MOSFET形成予定領域上のレジスト35を剥離した後、図3(c)に示すようにn型MOSFET形成予定領域をレジスト40でマスクした後、例えばP<sup>+</sup>41をイオン注入エネルギー700keVで、ドーズ量 $1.5 \times 10^{13} \text{ cm}^{-2}$ でイオン注入し、n型ウェル領域42を形成する。その後、例えばBF<sub>2</sub><sup>+</sup>43をイオン注入エネルギー20keVで、ドーズ量 $3 \times 10^{15} \text{ cm}^{-2}$ でイオン注入し、p<sup>+</sup>型のソースドレイン領域44を形成する。その後、n型MOSFET形成予定領域上のレジスト40を剥離した後、窒素雰囲気中で1000℃で10秒程度の熱処理を行い、n<sup>+</sup>型ソースドレイン領域39およびp<sup>+</sup>型ソースドレイン領域44の活性化を行う。この活性化を行うことにより、ソースドレイン領域中に含まれる格子間シリコン等の点欠陥が消滅される。

【0067】その後、図3(d)に示すように、p型(100)Si基板30全面に、CVD法等により、シリコン窒化膜45を400nm程度堆積する。

【0068】その後、図3(e)に示すように、化学的機械的研磨によりダミーゲートである多結晶シリコン33の表面が露出するまで平坦化を行う。尚、ここで前記第一の実施の形態とは異なりソースドレイン領域上にシリコン窒化膜45を形成する理由は、後に述べるように、ゲート多結晶電極形成後、このシリコン窒化膜層を除去するため、素子分離領域であるSiO<sub>2</sub>31とエッチングの選択比が高い材料を用いる必要があるためである。

【0069】その後、図4(f)に示すように、ダミーゲート上部の多結晶シリコン33をエッチングする。ゲート電極形成予定領域46のみ窪んでいて、SiO<sub>2</sub>から成るサイドウォール34およびソースドレイン領域上のシリコン窒化膜45の溝を形成する。尚、溝の底部には、ダミーゲート下層であった10nm程度のシリコン窒化膜32が残っている。

【0070】その後、図4(g)に示すように、p型MOSFET形成予定領域上をレジスト47でマスクした後、例えばB<sup>+</sup>48をイオン注入エネルギー30keVで、ドーズ量 $6 \times 10^{12} \text{ cm}^{-2}$ でイオン注入し、n型MOSFETのしきい電圧の調整を行う。

【0071】その後、p型MOSFET形成予定領域上のレジスト47を剥離した後、図4(h)に示すように、n型MOSFET上をレジスト49でマスクし、例えばAs<sup>+</sup>50をイオン注入エネルギー100keVで、ドーズ量 $7 \times 10^{12} \text{ cm}^{-2}$ でイオン注入し、その後例えばBF<sub>2</sub>51をイオン注入エネルギー15keVでドーズ量 $1.5 \times 10^{13} \text{ cm}^{-2}$ でイオン注入し、p型MOSFETのしきい電圧調整を行う。

【0072】その後、図4(i)に示すように、溝の底部に存在する10nm程度のシリコン窒化膜32を磷酸等を用いてエッチング除去する。尚、この際、ソースド

12

レイン領域上のシリコン窒化膜45もエッチングされるが、ソースドレイン領域上の窒化膜45は210nm程度であるため、ソースドレイン領域上にシリコン窒化膜45を残すことが可能である。また、サイドウォールはSiO<sub>2</sub>34で形成されているため、溝部の幅は変わらない。その後、溝部のシリコン基板を酸化して、6nm程度のゲート酸化膜52を形成する。その後、CVD法により多結晶シリコン53を400nm程度堆積して、シリコン窒化膜の溝部を埋め込んだ後、リンを拡散させ多結晶シリコン53をn<sup>+</sup>化する。

【0073】その後、図4(j)に示すように、化学的機械的研磨によりソースドレイン領域上のシリコン窒化膜45の表面が露出するまで多結晶シリコン53を平坦化し、シリコン窒化膜の溝部を埋め込んだ構造のゲート電極54が形成される。

【0074】その後、図4(k)に示すように、磷酸等でソースドレイン領域上のシリコン窒化膜層45をエッチングする。これにより、多結晶シリコンのゲート電極54側面にSiO<sub>2</sub>から成るサイドウォール34が残る。TiあるいはCOをスパッタし、ソースドレイン領域およびゲートにシリサイド層55を形成する。

【0075】その後は、従来技術を用いて、層間の絶縁膜、配線等を形成し、CMOS半導体装置が形成される。

【0076】

【発明の効果】以上説明したように本発明は、ソースドレイン領域を形成し、活性化熱処理を行い、ソースドレイン領域中の格子間シリコン等の点欠陥を消滅させた後、しきい電圧調整のためのイオン注入を行うため、特にnMOSFETにおいて従来問題となっていたボロンと格子間シリコンのペアの増速拡散に起因した逆短チャネル効果を抑制することが可能となるという効果がある。

【0077】また、ゲート酸化膜は、しきい電圧調整のためのイオン注入後に行うため、従来、ゲート酸化膜を通してイオン注入を行った際問題となっていたゲート酸化膜の信頼性の低下を防ぐことが可能となる。

【0078】また、ソースドレイン領域上に酸化膜を形成する際に、アルミニウムを添加しないため、従来、アルミニウムに曝されるため、このアルミニウムが半導体基板中に準位を形成し、半導体装置の特性を劣化させてしまうという問題を防ぐことが可能となる。

【0079】また、上述の効果を有しながら、レジスト工程の回数を増やすことなくCMOSFET形成が可能となる。

【図面の簡単な説明】

【図1】(a)～(e)本発明をCMOSFETに適用した本発明の第1の実施の形態を製造工程順に示す模式的断面図である。

【図2】(f)～(j)本発明をCMOSFETに適用

13

した本発明の第1の実施の形態を製造工程順に示す模式的断面図である。

【図3】(a)～(e)本発明をCMOSFETに適用した本発明の第2の実施の形態を製造工程順に示す模式的断面図である。

【図4】(f)～(k)本発明をCMOSFETに適用した本発明の第2の実施の形態を製造工程順に示す模式的断面図である。

【図5】(a)～(e)従来例を製造工程順に示す模式的断面図である。

【図6】(a)、(b)ソースドレイン領域を形成し活性化の熱処理を行った後に、しきい電圧調整のためのイオン注入を行っている従来例を製造工程順に示す模式的断面図である。

【図7】(a)～(f)ソースドレイン領域を形成し活性化の熱処理を行った後、更に、しきい電圧調整のためのイオン注入を行った後、ゲート酸化膜を形成する従来例を製造工程順に示す模式的断面図である。

【図8】(a)～(e)ソースドレイン領域上に酸化膜を形成する工程にCVD法を用いる従来例を製造工程順に示す模式的断面図である。

#### 【符号の説明】

1 p(100)Si基板  
2 フィールド酸化膜  
3 窒化シリコンのダミーゲート  
4 SiO<sub>2</sub>のサイドウォール  
5 p型MOSFET形成予定領域上のレジスト  
6 B<sup>+</sup>  
7 p型ウェル  
8 As<sup>+</sup>  
9 n<sup>+</sup>型ソースドレイン領域  
10 n型MOSFET形成予定領域上のレジスト  
11 P<sup>+</sup>  
12 n型ウェル  
13 BF<sub>2</sub><sup>+</sup>  
14 p<sup>+</sup>型ソースドレイン領域  
15 SiO<sub>2</sub>膜  
16 ゲート電極形成予定領域  
17 p型MOSFET形成予定領域上のレジスト  
18 B<sup>+</sup>  
19 n型MOSFET上のレジスト  
20 As<sup>+</sup>  
21 BF<sub>2</sub><sup>+</sup>  
22 ゲート酸化膜  
23 多結晶シリコン  
24 ゲート電極  
30 p(100)Si基板  
31 フィールド酸化膜  
32 シリコン窒化膜  
33 多結晶シリコン

14

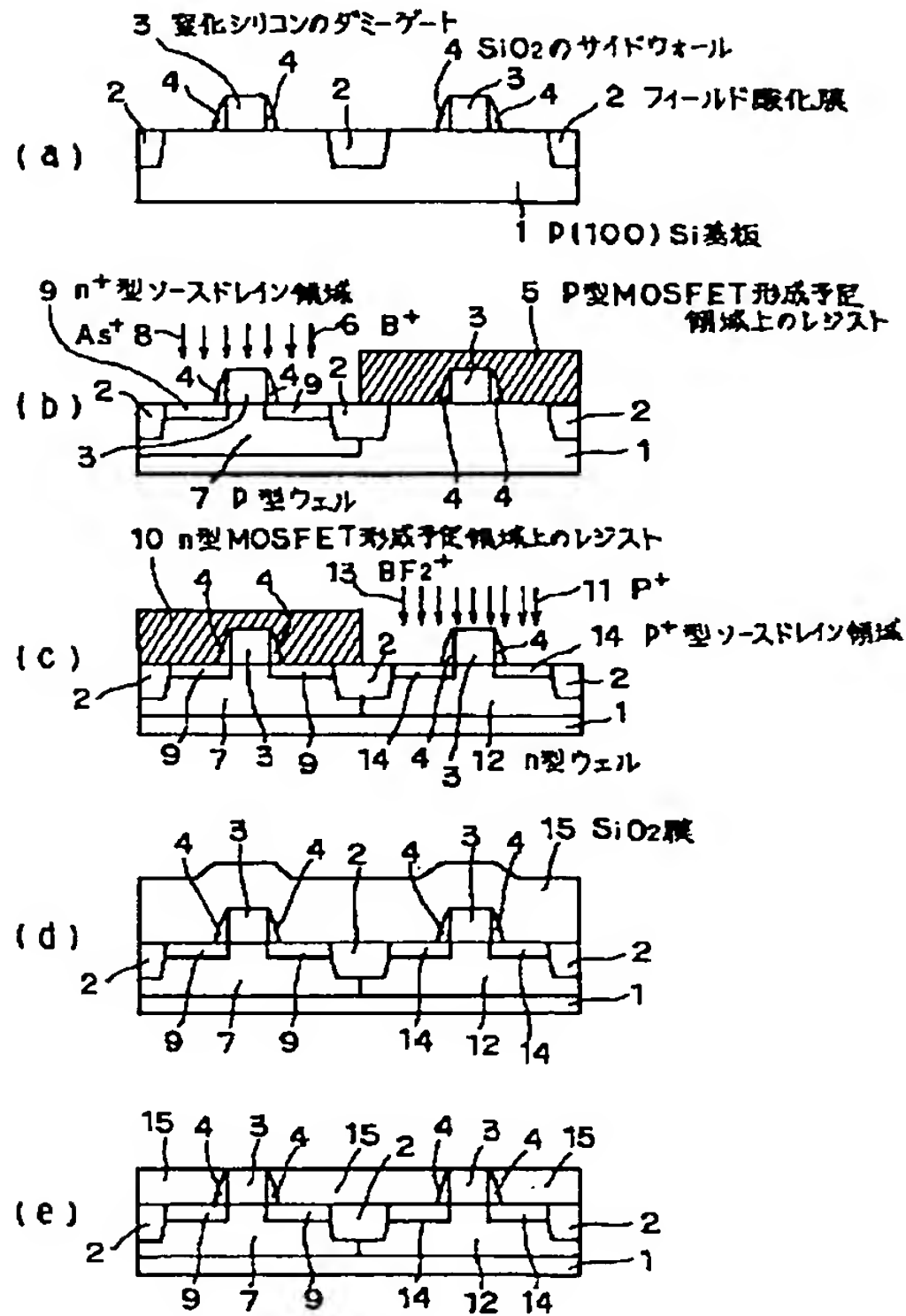
34 SiO<sub>2</sub>のサイドウォール  
35 p型MOSFET形成予定領域上のレジスト  
36 B<sup>+</sup>  
37 p型ウェル領域  
38 As<sup>+</sup>  
39 n型ソースドレイン領域  
40 n型MOSFET形成予定領域上のレジスト  
41 P<sup>+</sup>  
42 n型ウェル領域  
10 43 BF<sub>2</sub><sup>+</sup>  
44 p<sup>+</sup>型ソースドレイン領域  
45 シリコン窒化膜  
46 ゲート電極形成予定領域  
47 p型MOSFET形成予定領域上のレジスト  
48 B<sup>+</sup>  
49 n型MOSFET上のレジスト  
50 As<sup>+</sup>  
51 BF<sub>2</sub><sup>+</sup>  
52 ゲート酸化膜  
20 53 多結晶シリコン  
54 ゲート電極  
55 シリサイド層  
60 p型半導体基板  
61 素子分離領域  
62 n型MOSFET形成予定領域上のレジスト  
63 n型不純物  
64 n型ウェル  
65 p型MOSFET形成予定領域上のレジスト  
66 p型不純物  
30 67 p型ウェル  
68 ゲート酸化膜  
69 多結晶シリコン  
70 ゲート電極  
71 n型ウェル上のレジスト  
72 n型不純物  
73 n型ソースドレイン領域  
74 p型ウェル上のレジスト  
75 p型不純物  
76 p型ソースドレイン領域  
40 80 p型半導体基板  
81 ゲート酸化膜  
82 ゲートポリシリコン電極  
83 As<sup>+</sup>84 ソースドレイン領域  
85 B<sup>+</sup>  
90 p型シリコン基板  
91 SiO<sub>2</sub>膜  
92 ダミーゲート  
93 As<sup>+</sup>  
94 n<sup>+</sup>型ソースドレイン電極  
50 95 SiO<sub>2</sub>膜



15

- 96 B<sup>+</sup>  
 97 ゲート酸化膜  
 98 ポリシリコン  
 100 p型シリコン電極  
 101 SiO<sub>2</sub>膜  
 102 ポリシリコン  
 103 シリコン窒化膜

【図1】

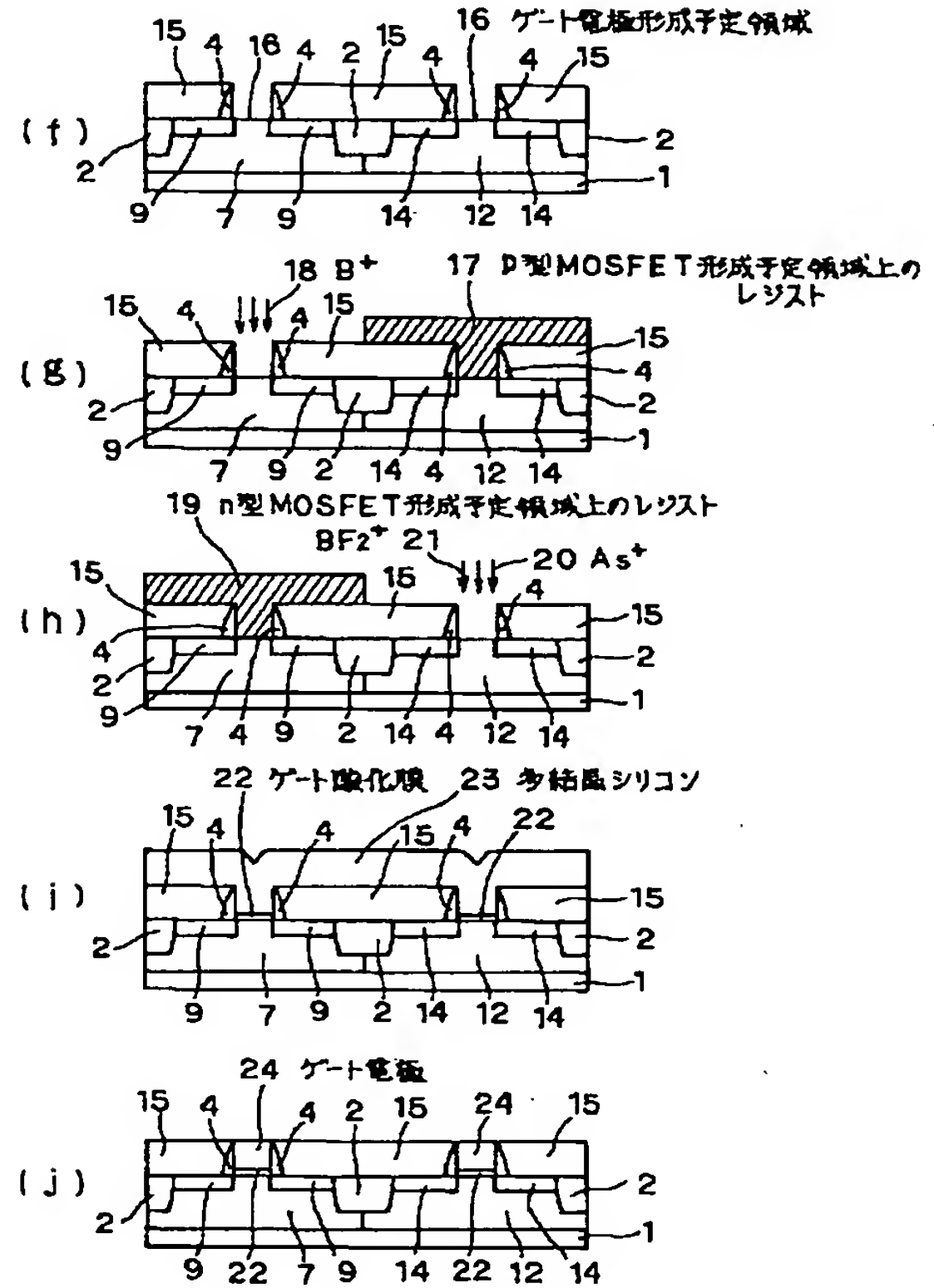


16

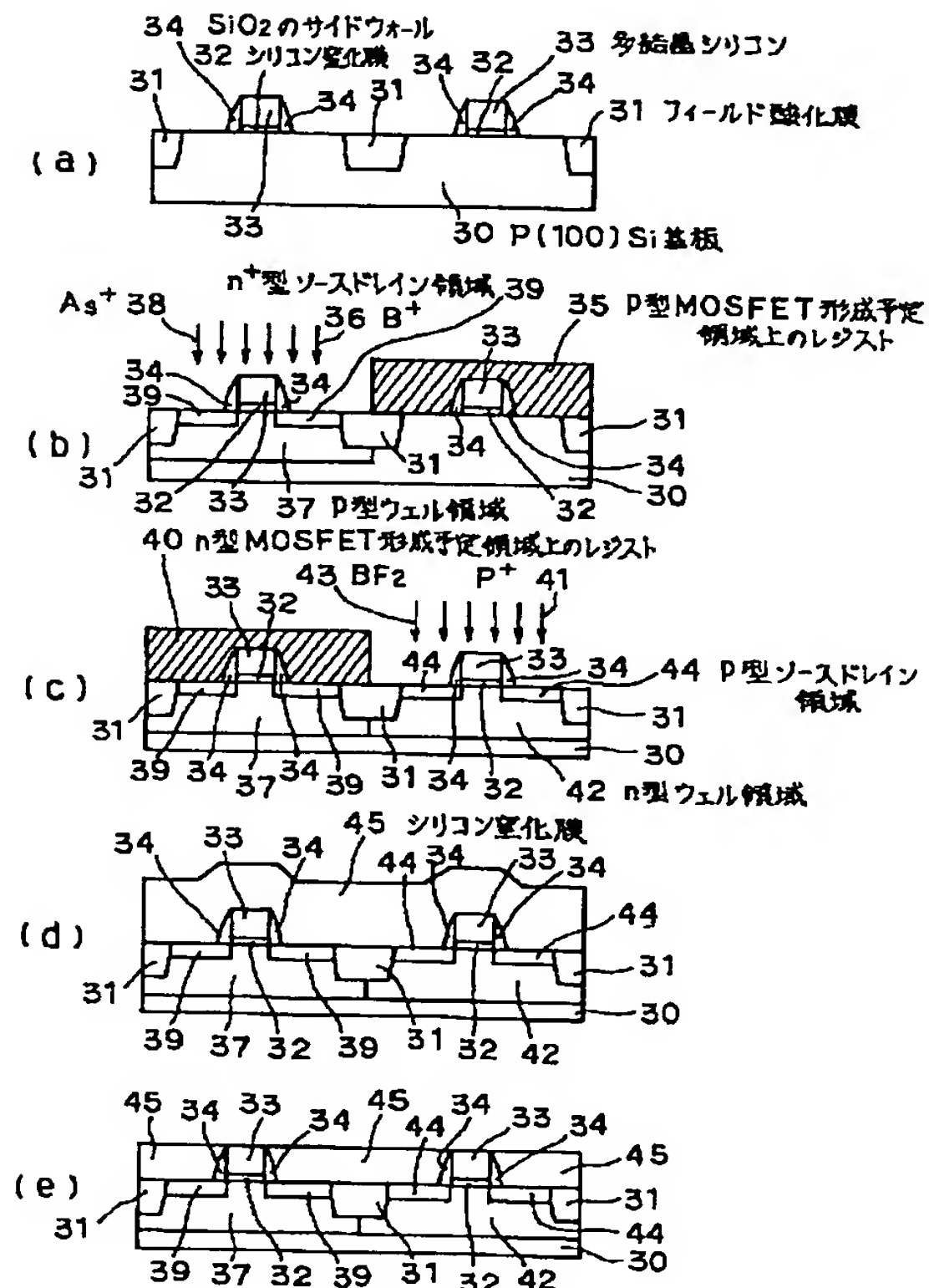
- \* 104 レジスト  
 105 ダミーゲート  
 106 As<sup>+</sup>  
 107 n<sup>+</sup>型ソースドレイン電極  
 108 SiO<sub>2</sub>膜  
 109 レジスト

\*

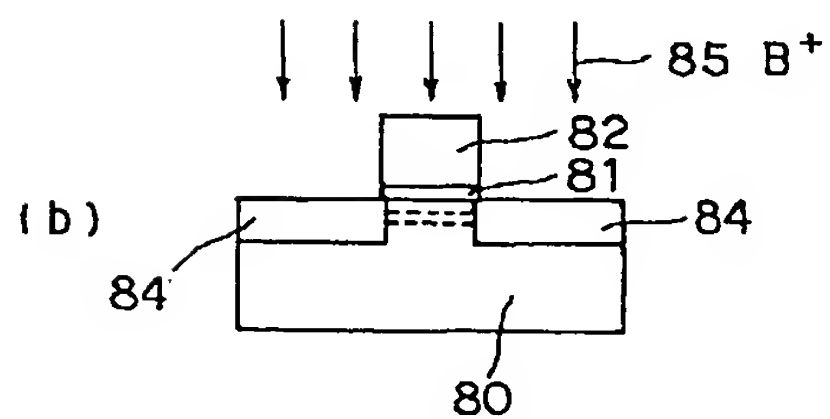
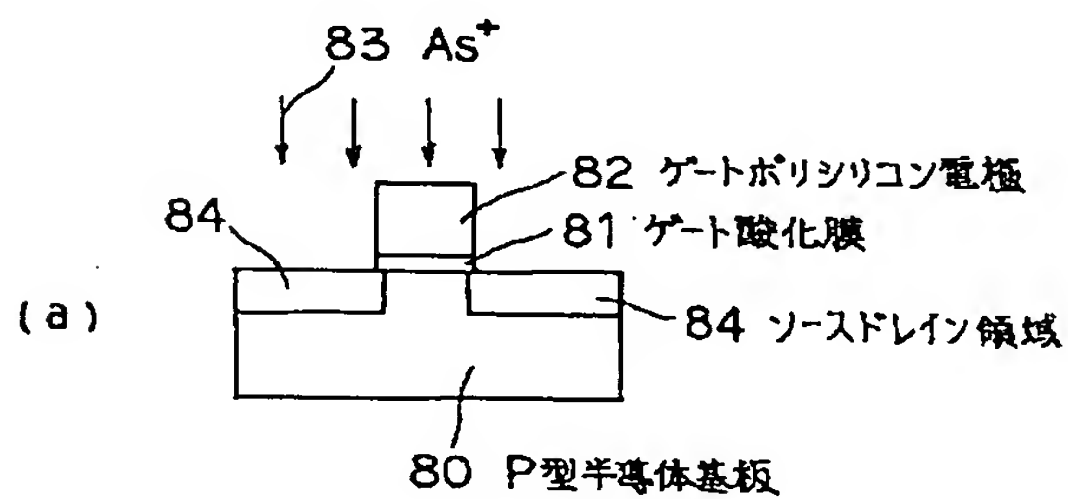
【図2】



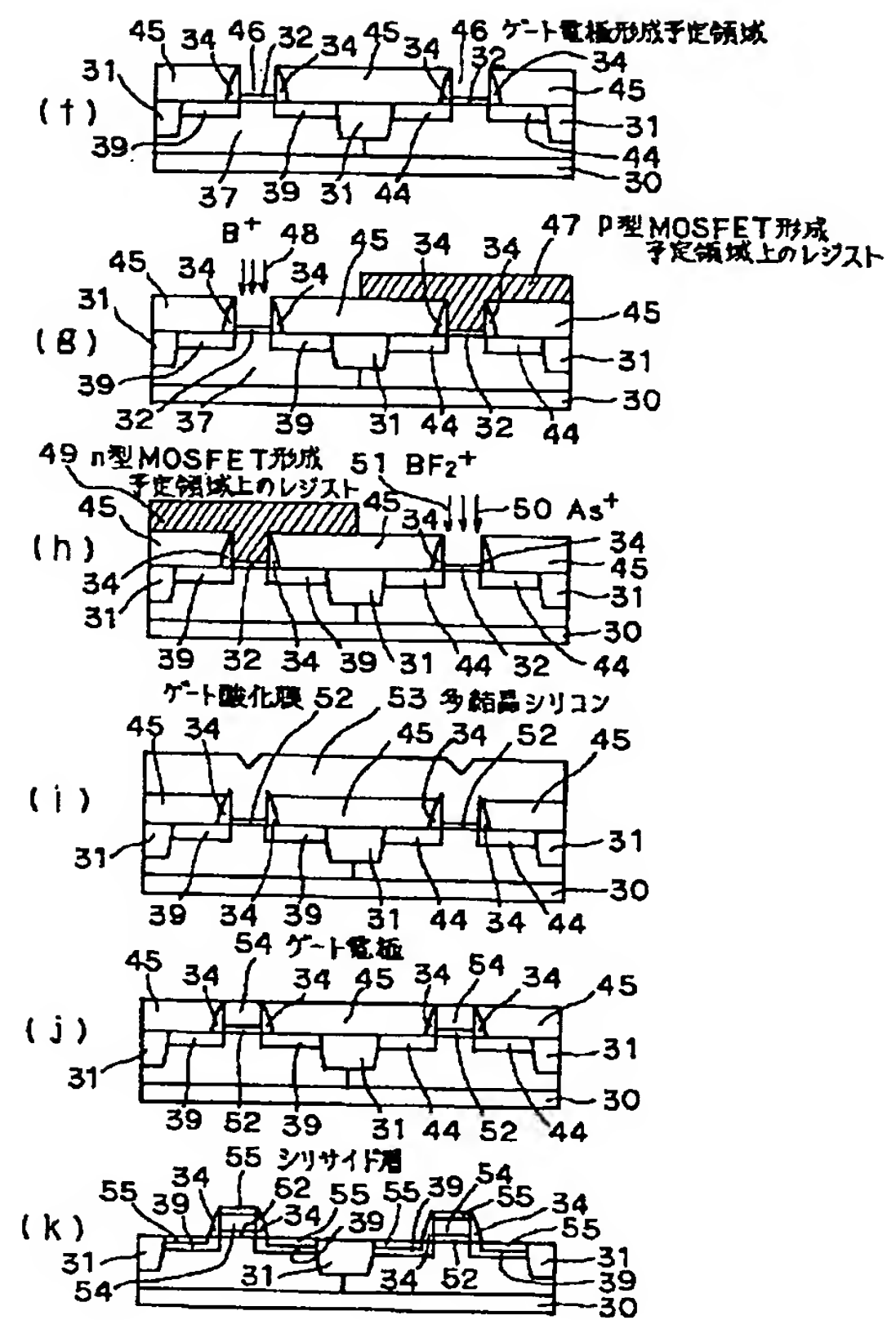
【図3】



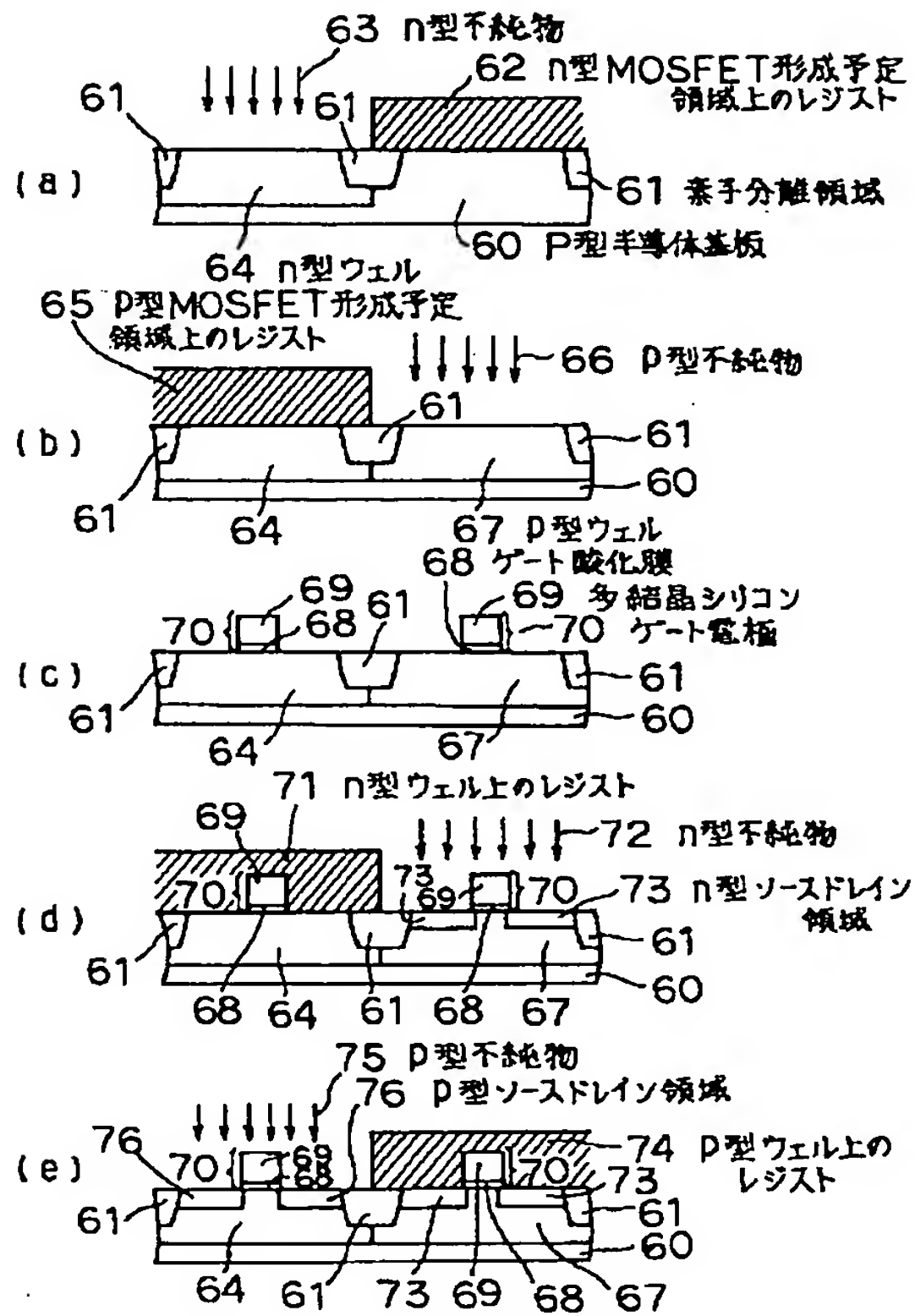
【図6】



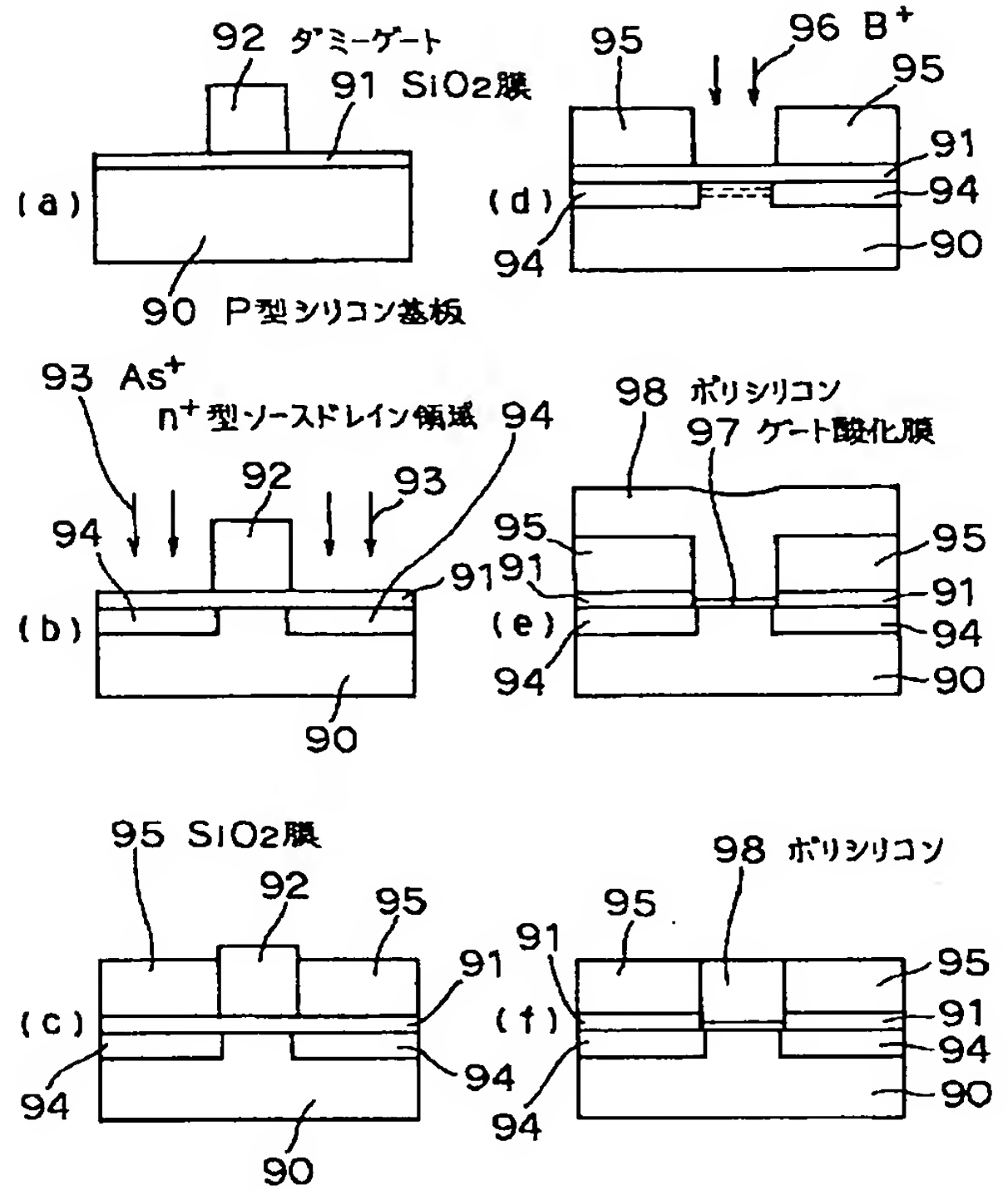
【図4】



【図5】

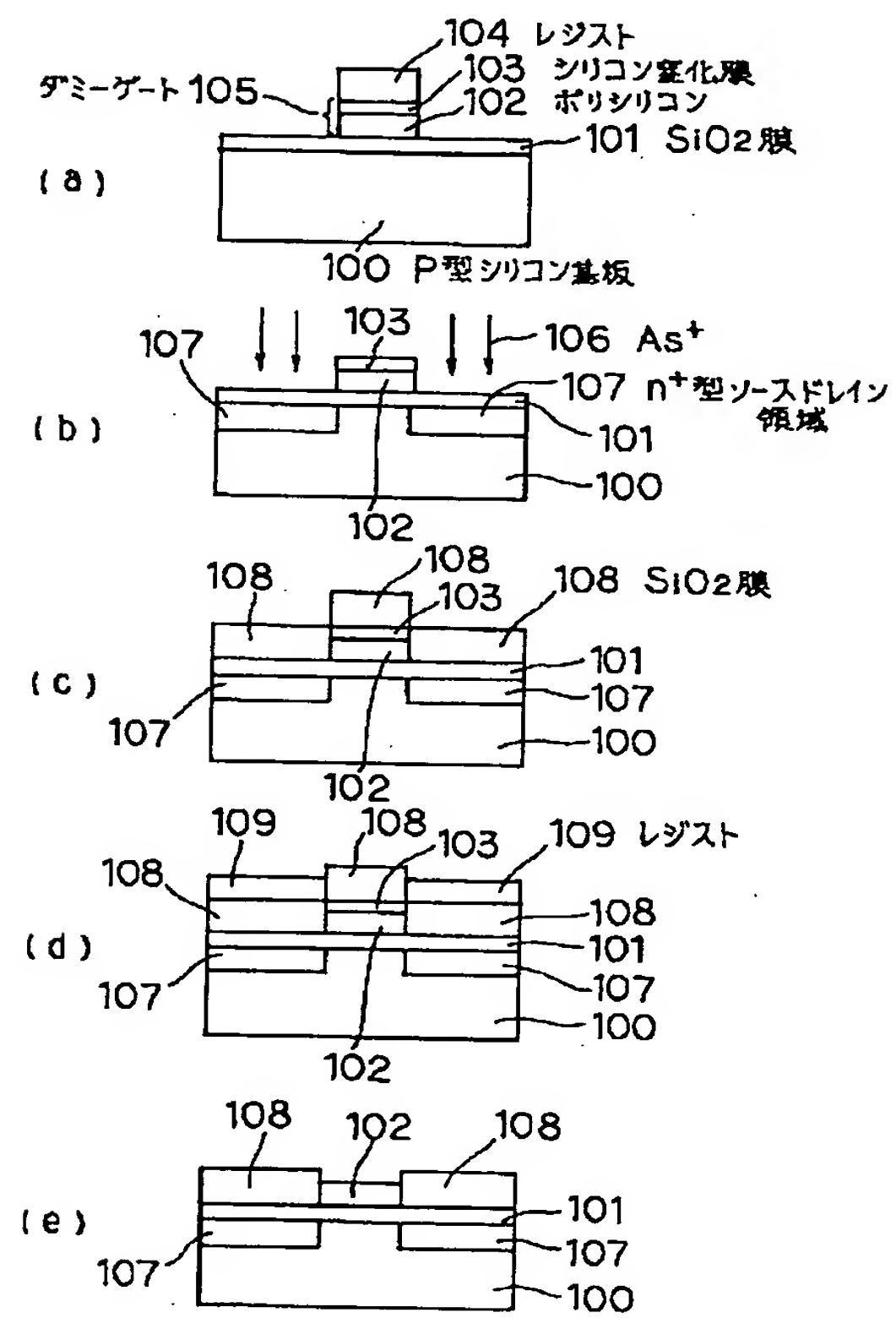


【図7】





【図 8】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**